

## TITLE OF THE INVENTION

EQUALIZING CIRCUIT AND METHOD, AND IMAGE PROCESSING CIRCUIT AND METHOD

## BACKGROUND OF THE INVENTION

この発明は、画像のざらつきを低減する平均化処理回路及び方法、それらを用いた画像処理回路及び方法に関するものである。

従来、例えば特開平 8-18777 号公報では、入力された画像データが表わす画像の文字部の解像度を改善し、絵柄部は階調性を改善する画像処理装置に関する技術が開示されている。即ち、同技術では、原稿の文字領域と写真領域とを分離し、領域信号を出力する。そして、この領域信号に従って文字用の階調処理結果と写真用の処理結果とを選択的に切換える。

しかしながら、上記従来技術では、任意の位置から任意のブロック単位で原稿に係る画像信号を平均化することについては示唆されていない。更に、画像のざらつきを低減することについて具体的には何等開示されていない。

## BRIEF SUMMARY OF THE INVENTION

本発明は、上記問題に着目してなされたもので、その目的とするところは、以下の点にある。即ち、本発明では、入力画像データ信号を任意の開始位置から任意のマトリクス単位、つまり所定の平均化ブロック単位で平均化する。そして、該平均化ブロック内の各入力画像データ信号を、平均化された画像データに置き換えて出力する。これにより、画像のざらつきを低減するものである。

そして、上記目的を達成するために、本発明の第 1 の態様に係る平均化処理回路は、入力画像データ信号の入力を受けるメモリコントロール部と、少なくとも上記入力画像データ信号の平均化処理を開始する主走査及び副走査座標の設定を受けるレジスタ設定部と、上記レジスタ設定部にて設定された主走査及び副走査座標より上記入力画像データ信号の平均化処理を開始し、平均化処理された画像データ信号を出力する平均化処理制御部と、上記平均化処理制御部からの平均化された画像データ信号の入力を受け、出力画像データ信号として出力する出力制御部と、を有する。

さらに、本発明の第 2 の態様に係る画像処理回路は、入力画像データ信号の入

10055402.012502

力を受けるメモリコントロール部と、上記入力画像データ信号を遅延処理した後  
に記憶する第1メモリと、上記入力画像データ信号の平均化処理を開始する主走  
査及び副走査座標、平均化ブロックの主走査及び副走査サイズ、平均化ブロック  
の主走査及び副走査方向のスキュー値の少なくともいずれかを指示するCPUと、  
上記CPUにより指示された設定情報を保持するレジスタ設定部と、上記レジス  
タ設定部により保持された設定情報に基づいて、上記平均化ブロックのスキュー  
値によらず一定のタイミングで、上記入力画像データ信号の平均化処理を行い、  
平均化処理された画像データ信号を出力する平均化処理制御部と、上記平均化処  
理制御部からの平均化された画像データ信号の入力を受け、出力画像データ信号  
として保持する第2メモリと、上記第2メモリの出力画像データを出力する出力  
制御部と、を有する。

また、本発明の第3の態様に係る平均化処理方法では、メモリコントロール部  
より入力画像データ信号の入力を受け、レジスタ設定部にて、少なくとも上記入  
力画像データ信号の平均化処理を開始する主走査及び副走査座標の設定を受け、  
平均化処理制御部にて、上記主走査及び副走査座標より上記入力画像データ信号  
の平均化処理を開始し、平均化処理された画像データ信号を出力し、出力制御部  
にて、上記平均化された画像データ信号の入力を受け、出力画像データ信号とし  
て出力する。

そして、本発明の第4の態様に係る画像処理方法では、メモリコントロール部  
にて入力画像データ信号の入力を受け、第1メモリにて上記入力画像データ信号  
を遅延処理した後に記憶し、CPUにより、上記入力画像データ信号の平均化処  
理を開始する主走査及び副走査座標、平均化ブロックの主走査及び副走査サイズ、  
平均化ブロックの主走査及び副走査方向のスキュー値の少なくともいずれかを指  
示し、レジスタ設定部にて、上記CPUにより指示された設定情報を保持し、平  
均化処理制御にて、上記レジスタ設定部により保持された設定情報に基づいて、  
上記平均化ブロックのスキュー値によらず一定のタイミングで、上記入力画像デ  
ータ信号の平均化処理を行い、平均化処理された画像データ信号を出力し、第2  
メモリにて、上記平均化処理制御部からの平均化された画像データ信号の入力  
を受け、出力画像データ信号として保持し、出力制御部にて、上記第2メモリの出

力画像データを出力する。

Additional objects and advantages of the invention will be set forth in the description which follows, and in part will be obvious from the description, or may be learned by practice of the invention. The objects and advantages of the invention may be realized and obtained by means of the instrumentalities and combinations particularly pointed out hereinafter.

#### BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

The accompanying drawings, which are incorporated in and constitute a part of the specification, illustrate presently preferred embodiments of the invention, and together with the general description given above and the detailed description of the preferred embodiments given below, serve to explain the principles of the invention.

F I G. 1 A及び1 Bは、本発明の実施形態に係る画像処理回路に採用される平均化処理回路による処理の概要を説明するための図、

F I G. 2 Aは、処理1（スキューなし）の概念を示す図、F I G. 2 Bは、処理1（スキューあり）の概念を示す図、

F I G. 3 Aは、処理2（画総左端）の概念を示す図、F I G. 3 Bは、処理3（画像右端）の概念を示す図、F I G. 3 Cは、処理4（画像上端）の概念を示す図、F I G. 3 Dは、処理5（画像下端）の概念を示す図、

F I G. 4は、主走査方向にM画素、副走査方向にNラインの画像データについての平均化処理のイメージを示す図、

F I G. 5は、本発明の実施形態に係る画像処理回路としての平均化処理回路及びその周辺回路の構成を示す図、

F I G. 6 Aは、ライン遅延用メモリ11（1）…11（n-1）と入力画像データ信号の関係を示す図、F I G. 6 Bは、は、ライン遅延用メモリ11（1）…11（n-1）と入力画像データ信号の関係を示すタイミングチャート、

F I G. 7は、平均化処理制御部3の詳細な構成を示す図、

F I G. 8は、平均化マトリクス生成／演算部21の詳細な構成を示す図、

F I G. 9 Aは、スキュー無（格子形状）の場合の平均化処理の概念図、F I

G. 9 Bは、スキュー無（格子形状）の場合の平均化処理に係るタイミングチャート、

FIG. 10 A及び10 bは、スキュー無（格子形状）の場合の演算処理の概念図、FIG. 10 Cは、スキュー無（格子形状）の場合の演算処理に係るタイミングチャート、

FIG. 11は、各設定値について説明するための図、

FIG. 12は、実施の形態に係る画像処理回路に採用される平均化処理回路により1ページ画像について処理する過程を説明するための図、

FIG. 13は、実施の形態に採用される平均化処理回路を写真用、文字用等といった用途に応じて複数個使用した改良例の構成を示す図、

FIG. 14は、本実施形態の如き調整がなされず、平均化マトリクスが $6 \times 3$ である場合の処理のイメージを示す図、

FIG. 15は、本実施形態の如き調整がなされず、平均化マトリクスが $6 \times 3$ である場合の処理に係るタイミングチャート、

FIG. 16は、本実施形態の如き調整がなされず、平均化マトリクスが $4 \times 3$ である場合の処理のイメージを示す図、

FIG. 17は、本実施形態の如き調整がなされず、平均化マトリクスが $6 \times 3$ である場合の処理に係るタイミングチャート、

FIG. 18は、本実施形態の如き調整がなされ、平均化マトリクスが $6 \times 3$ である場合の処理のイメージを示す図、

FIG. 19は、本実施形態の如き調整がなされ、平均化マトリクスが $6 \times 3$ である場合の処理に係るタイミングチャート、

FIG. 20は、本実施形態の如き調整がなされ、平均化マトリクスが $4 \times 3$ である場合の処理のイメージを示す図、

FIG. 21は、本実施形態の如き調整がなされ、平均化マトリクスが $6 \times 3$ である場合の処理に係るタイミングチャート、

FIG. 22は、平均化マトリクスとして $4 \times 3$ 、 $6 \times 3$ の2種類の設定を可能とする平均化処理回路を複数設けた画像処理回路の構成図、

FIG. 23は、単一の平均化処理回路により、平均化マトリクスとして $4 \times$

3、6×3の2種類の設定を可能とする画像処理回路の構成図、である。

#### DETAILED DESCRIPTION OF THE INVENTION

以下、図面を参照して、本発明の実施の形態につき詳述する。

まず、FIG. 1 A, 1 Bを参照して、本発明の実施形態に係る画像処理回路に採用される平均化処理回路による処理の概要を説明する。

この実施形態に係る平均化処理回路は、入力画像データ信号について、主走査方向にm画素（以下、主走査サイズと称する）、副走査方向にnライン（以下、副走査サイズと称する）であるm×n（m, nは任意の整数）のマトリクスで定義される平均化ブロックで平均化処理を行う。例えば、FIG. 1 Aの例では、4×3のマトリクスにより平均化ブロックが定義されている。

そして、FIG. 1 Aの入力画像データ信号についての平均化処理の結果は例えばFIG. 1 Bに示される。即ち、FIG. 1 Bに示されるように、平均化処理された画素の値は、平均化ブロック内の画素値の合計を平均化ブロック内の画素数で割った値で定義される。

例えば、FIG. 1 BのAV00は、

$$AV00 = \{(D00+D01+D02+D03)+(D10+D11+D12+D13)+(D20+D21+D22+D23)\}/4 \times 3$$

と定義される。

このように、本実施形態は、任意の注目画素を周辺画素の平均値として出力することで、画像のざらつきを低減する。更に、本実施形態では、平均化処理に係る平均化ブロックを任意のサイズに可変自在としている。これにより、入力画像データ信号の種類に応じた平均化処理を行うことができる。

次に、FIG. 2 A, 2 B及び3 A-3 Dを参照して、実施形態に係る画像処理回路に採用される平均化処理回路による平均化処理について詳述する。

FIG. 2 A, 2 Bは、平均化処理の開始位置が、入力画像データ信号の左上端、即ち平均化ブロックの位相が主走査、副走査共に「0」となっている。

本例では、平均化処理を、主走査方向に4画素、副走査方向に3ラインの4×3マトリクスで定義される平均化ブロック単位で行う事を想定している。

より詳細には、FIG. 2 Aは、格子形状に平均化処理する場合（平均化ブ

ックのスキューなし)を示しており、FIG. 2Bは、斜め形状に平均化処理する場合(平均化ブロックの位相設定あり)を示している。

以上は、通常処理の例である。

これに対して、FIG. 3A-3Dは、画像の左端/右端/上端/下端での処理(以下、これを領域外処理と称する)の例を示している。

即ち、FIG. 3Aは、主走査方向の位相設定を「2」に、副走査方向の位相設定を「0」に設定した例を示している。そして、FIG. 3Cは、主走査方向の位相設定を「0」に、副走査方向の位相設定を「2」に設定した場合を示している。これらの場合、平均化ブロックのスキュー設定はされていない。

また、FIG. 3B, 3Dは、平均化処理の終了位置が画像右端又は下端になった例を示している。これら領域外処理は、例えば、画像の上端/下端では元の入力画像データをスルー出力する処理を行うことで、例えば、画像の左端/右端では端画素を使用して平均化処理を行うことで、実現される。

尚、以下の説明では、FIG. 2A, 2Bの通常処理を処理1と定義し、FIG. 3A-3Dの領域外処理をそれぞれ処理2-5と定義して用いる。

次に、FIG. 4には、主走査方向にM画素、副走査方向にNラインの画像データについての平均化処理のイメージを示して説明する。

この例では、平均化ブロックのサイズは $6 \times 3$ とされている。

FIG. 4において、画像の上端では処理4が、画像の右端では処理2が、画像の左端では処理3(領域外処理となる場合に限る)が、画像の下端では処理5が、領域内では通常の処理1が、それぞれ実施される。

各処理1-5についての詳細は、前述した通りである。

次に、FIG. 5には、本発明の実施形態に係る画像処理回路としての平均化処理回路及びその周辺回路の構成を示し説明する。

FIG. 5に示されるように、この平均化処理回路10は、メモリコントロール部1とレジスタ設定部2、平均化処理制御部3、出力制御部4からなる。

このメモリコントロール部1は、ライン遅延用のメモリ11(1) ... 11(n-1)や平均化処理制御部3と通信自在に接続されている。ここで、nは、平均化マトリクスブロックの副走査方向のサイズを意味している。

更に、このメモリコントロール部 1 は、外部からの入力画像データ信号、入力副走査方向画像有効信号、入力主走査方向画像有効信号の入力を受ける。

すると、F I G. 6 A に示されるように、当該入力画像データ信号をメモリ 1 1 (1) 乃至 1 1 (n-1) に蓄積する。そして、入力副走査画像有効信号及び入力主走査画像有効信号に基づいて、1 ラインずつ遅延させた 1 ライン乃至 n-1 ライン遅延画像データ信号を生成し、平均化処理制御部 3 に出力する。

即ち、より詳細には、F I G. 6 B に示されるように、メモリコントロール部 1 は、入力副走査画像有効信号が“H”から“L”になり再び“H”になるまでの 1 ページ出力タームにおいて、入力主走査画像有効信号が“H”から“L”になり再び“H”になるまでの時間毎に 1 クロックずつ遅延させた画像データを各メモリ 1 1 (1) 乃至 1 1 (n-1) に蓄積する。そして、当該メモリ 1 1 (1) 乃至 1 1 (n-1) から 1 ライン乃至 n-1 ライン画像データ遅延信号を読み出し、平均化処理制御部 3 へと出力することになる。

ここで、上記平均化処理制御部 3 の詳細な構成は F I G. 7 に示される。

即ち、F I G. 7 に示されるように、平均化処理制御部 3 は、詳細には、メモリコントロール信号発生部 2 0 と、平均化マトリクス生成／演算部 2 1、平均化データ／制御信号遅延調整部 2 2、設定値カウント／モード生成部 2 3、平均化クロック生成部 2 4、出力制御信号発生部 2 5 を有している。

このような構成において、外部の C P U 1 2 による制御によってレジスタ設定部 2 より出力された平均化開始主走査座標、平均化開始副走査座標、平均化ブロック主走査方向スキュー値、平均化ブロック副走査方向スキュー値は、設定値カウント／モード生成部 2 3 に送られる。そして、設定値カウント／モード生成部 2 3 では、モード設定信号、X サイズカウント値信号、Y サイズカウント値信号が生成される。このモード設定信号は、平均化マトリクス生成／演算部 2 1 と平均化データ／制御信号遅延調整部 2 2 に送られる。

また、X サイズカウント値信号及び Y サイズカウント値信号は、平均化クロック生成部 2 4 に送られる。そして、平均化クロック生成部 2 4 では、主走査方向平均化クロック信号、副走査方向平均化クロック信号が生成され、これらの信号は、平均化マトリクス生成／演算部 2 1 に送られる。

ここで、この平均化マトリクス生成／演算部 21 の詳細な構成は、FIG. 8 に示される。すなわち、この平均化処理制御部 3 内の平均化マトリクス生成／演算部 21 は、詳細には、複数のフリップフロップ (F/F) と加算器 31, 31-1...31-(n-1), 33、除算器 34、乗算器 32 からなる。

このような構成において、加算器 31 では、現ライン画像データ信号に基づいて各画素の値を加算し、加算器 31-1 では、1 ライン遅延画像データ信号に基づいて各画素の値を加算する。同様に、加算器 31-(n-1) では、n-1 ライン遅延画像データ信号に基づいて、各画素の値を加算する。

こうして、得られた各加算値を加算器 33 にて更に加算し、乗算器 32 及び除算器 34 により平均化ブロックの主走査サイズ m と平均化ブロックの副走査サイズ n とを用いた演算を行い、平均化画像データ信号を生成する。

このように、各ライン画像データ遅延信号が平均化処理制御部 3 に入力されると、その内部の平均化マトリクス生成／演算部 21 により平均化ブロックが生成され、更に平均化処理がなされた結果、平均化画像データ信号が生成され、出力される。このとき、平均化ブロックのサイズは、CPU 12 がレジスタ設定部 2 に対して設定したサイズに相当する。つまり、設定値カウント／モード生成部 23 にて生成されたモード設定信号に基づいて設定される。尚、平均化処理は、平均化クロック生成部 24 で生成される主走査方向平均化クロック信号、副走査方向平均化クロック信号が共に“H”のタイミングで行われる。

さて、上記モード設定信号、n-1 ライン遅延副走査方向画像有効信号、入力主走査方向画像有効信号、平均化画像データ信号は、平均化データ／制御信号遅延調整部 22 へと送られる。この平均化データ／制御信号遅延調整部 22 は、これらの信号に基づいて、平均化副走査方向画像有効信号、平均化主走査画像有効信号を生成し、出力制御部 4、出力制御信号発生部 25 へと出力する。

この出力制御信号発生部 25 は、上記信号のほか、副走査方向平均化クロック信号の入力をも受け、これらに基づいて出力制御信号を生成する。

また、外部から入力された入力副走査方向画像有効信号、入力主走査方向画像有効信号、入力画像データ信号は、メモリコントロール信号発生部 20 に入力される。そして、メモリコントロール信号発生部 20 では、これらの信号に基づい



てメモリコントロール信号が生成される。さらに、このメモリコントロール信号は、メモリコントロール部1にフィードバックされる。

一方、出力制御信号、平均化副走査方向画像有効信号、平均化主走査方向画像有効信号、平均化画像データ信号は、出力制御部4へと各々送られる。

この出力制御部4は、この平均化画像データ信号を外部の出力用のメモリ13に蓄積しつつ、出力副走査方向画像有効信号、出力主走査方向画像有効信号に基づいて定まるタイミングで、出力画像データ信号として出力する。

以下、FIG. 9A、9B、10A-10Cを参照して、実施の形態に係る平均化処理回路による平均化処理について、より具体的に説明する。

まずFIG. 9Aにはスキュー無（格子形状）の場合の平均化処理の概念図を示し、FIG. 9Bには当該処理に係るタイミングチャートを示し説明する。

即ち、FIG. 9Aの中央には入力画像データ信号の様子を示しており、その上方には副走査方向平均化クロック信号の様子を示しており、その右方には主走査方向平均化クロック信号の様子を示している。

このFIG. 9Aより判るように、平均化ブロックのスキューが無い場合、主走査方向平均化クロック信号と副走査方向平均化クロック信号が共に“H”となったタイミングで平均化処理を行う。

なお、本実施形態では、上記平均化処理に係る平均化演算処理位置を、FIG. 9Aの中央の図面において小さな矩形で示している。

以下、FIG. 9Bのタイミングチャートを参照して、以上の演算処理を更に詳細に説明する。入力副走査方向画像有効信号が“H”から“L”になった後において、入力主走査方向画像有効信号が“H”から“L”となり再び“H”となるまで、入力画像データ信号が取込まれる。そして、副走査方向平均化クロック信号及び主走査方向平均化クロック信号が共に“H”となると、平均化演算タイミング信号が“H”となり、平均化処理が実行される。

次にFIG. 10A、10Bにはスキュー無（格子形状）の場合の演算処理の概念図を示し、FIG. 10Cには当該演算処理に係るタイミングチャートを示し説明する。即ち、FIG. 10A、10Bの中央には入力画像データ信号の様子を示しており、その上方には副走査方向平均化クロック信号の様子を示してお

り、その右方には主走査方向平均化クロック信号の様子を示している。

このFIG. 10Aからも明らかなように、平均化ブロックのスキューがある場合には、主走査方向平均化クロック信号が“H”となるタイミングがラインによって統一されない。かかる点に鑑みて、本実施形態では、FIG. 10Bに示されるように、主走査方向平均化クロック信号が“H”となるタイミングが同じタイミングになるように調整する。具体的には、入力画像データ信号及び主走査方向画像有効信号を遅延させ、平均化演算処理を行う。

以下、FIG. 10Cのタイミングチャートを参照して、以上の演算処理を更に詳細に説明する。入力副走査方向画像有効信号が“H”から“L”になった後において、入力主走査方向画像有効信号が“H”から“L”となり再び“H”となるまで、入力画像データ信号が取込まれる。そして、副走査方向平均化クロック信号及び主走査方向平均化クロック信号が共に“H”となると、平均化演算タイミング信号が“H”となり、平均化処理が実行される。

但し、この例では、ラインによっては2画素遅延のスキューが存在する。そこで、当該スキューが存在する第1乃至3ライン目については、2画素遅延の入力主走査方向画像有効信号に基づいて入力画像データ信号を取り込む。平均化演算処理も、この取り込まれた入力画像データ信号に基づいて行う。第4乃至6ライン目以降については、スキューが存在しないことから、入力主走査方向画像有効信号と入力画像データ信号をそのまま用い、通常処理を行う。

尚、平均化画像データ信号、平均化主走査方向画像有効信号は、設定値カウンタ／モード生成部23で生成されるモード設定信号に応じて所定の遅延がなされた結果、生成されるものである。この平均化画像データ信号は、平均化処理制御部3から出力される。また、上記モード設定信号は、レジスタ設定部2に外部のCPU12から設定されるスキュー値に基づいて生成されるものである。

こうして、出力制御部4によって、平均化ブロックの副走査サイズライン毎（平均化処理制御部3内の平均化クロック生成部24から出力される副走査方向平均化クロック信号が“H”のライン毎）に、出力用メモリ13に平均化画像データ信号が書き込まれる。そして、出力制御部4により、平均化画像データ信号が適宜読み出され、出力画像データ信号として外部に出力される。

ここで、FIG. 11を参照して、各設定値の説明を行う。

このFIG. 11において、平均化開始位置は黒丸印でプロットされている位置をいう。この第1実施形態では、平均化開始位置は任意に設定可能である。

さらに、平均化ブロックは、平均化ブロックの主走査サイズ×平均化ブロックの副走査サイズのマトリクスで定義される。この例では、平均化ブロックを6×3としているので、Xサイズカウンタ値は0～5、Yサイズカウンタ値は0～2となる。Xサイズカウンタ初期値は、図中、矩形で表わしている各ブロックの最初のライン上、最初の画素に定められる。各画素には、平均化開始主走査座標と平均化開始副走査座標が割り当てられており、特定可能となっている。

この他、図示の如く、平均化ブロック主走査方向スキュー値、平均化ブロック副走査方向スキュー値が定められる。

次に、FIG. 12を参照して、実施の形態に係る画像処理回路に採用される平均化処理回路により1ページ画像について処理する過程を説明する。

このFIG. 12に示されるように、この例では平均化ブロックとして6×3のマトリクスを想定しているので、副走査方向平均化クロック信号は3ライン毎に“H”となり、主走査方向平均化クロック信号は6画素毎に“H”となる。そして、入力主走査方向画像有効信号について、モード設定信号により、処理するライン毎に遅延調整を行い、1画素遅延した入力主走査方向画像有効信号、4画素遅延した入力主走査方向画像有効信号等を生成する。

本例では、上端の画像データは、処理4に基づいてスルー出力し、下端の画像データは、処理5に基づいてスルー出力する。左端の画像データ(D0)は、処理2に基づいて平均化処理を行い、右端の画像データ(D19)は、処理3に基づいて平均化処理を行う。

ここで、FIG. 13に示されるように、実施の形態に採用される平均化処理回路を写真用、文字用等といった用途に応じて複数個使用した場合には、入力画像の種類に適した平均化処理が可能である。この場合には、複数の平均化処理回路10-1、10-2、…10-Nの各出力(出力副走査方向画像有効信号、出力主走査方向画像有効信号、出力画像データ信号)は、選択回路40により一に選択され出力される。このとき、入力画像識別信号により、画像が写真や文字等

のいずれの種別に属するものであるか識別される。

さて、前述したように、この実施形態では、平均化ブロックのスキューがある場合には、主走査方向平均化クロック信号が“H”となるタイミングがラインによって統一されないことに鑑みて、主走査方向平均化クロック信号が“H”となるタイミングが同じとなるよう調整し、画像データ信号及び主走査方向画像有効信号を遅延させ、平均化演算処理を行う。以下、前述した一連の処理により、この点がどのようになされるか更に詳細に説明する。

まず、FIG. 14乃至17には、本実施形態の如き主走査方向平均化クロック信号が“H”となるタイミングが同じタイミングになるような調整がなされない場合の平均化演算処理の例を示し、その流れを詳細に説明する。

即ち、FIG. 14は平均化マトリクスが $6 \times 3$ である場合の処理のイメージを示し、FIG. 15は当該処理のタイミングチャートを示している。

この場合、第1乃至3ラインではスキューはないが、第4乃至6ラインでは主走査方向のスキューが1、第7乃至9ラインでは主走査方向にスキューが2、第10乃至12ラインでは主走査方向のスキューが3、第13乃至15ラインでは主走査方向のスキューが4、第15乃至18ラインでは主走査方向のスキューが5となっている。そして、このスキューが存在する結果、FIG. 15に示されるように、主走査方向平均化クロック信号からも明らかなように、平均化演算のタイミングがラインによって異なる事態が生じている。

同様に、FIG. 16は平均化マトリクスが $4 \times 3$ である場合の処理のイメージを示し、FIG. 17は当該処理のタイミングチャートを示している。

この場合、第1乃至3ラインではスキューはないが、第4乃至6ラインでは主走査方向のスキューが1、第7乃至9ラインでは主走査方向にスキューが2、第10乃至12ラインでは主走査方向のスキューが3となっている。

そして、このスキューが存在する結果、FIG. 17に示されるように、主走査方向平均化クロック信号からも明らかなように、平均化演算のタイミングがラインによって異なる事態が生じている。

これに対して、FIG. 18乃至21には、本実施形態の如き調整がなされる場合の平均化演算処理の例を示し、その流れを詳細に説明する。

10055402-012502

先ず、FIG. 18は平均化マトリクスが $6 \times 3$ である場合の処理のイメージを示し、FIG. 19は当該処理のタイミングチャートを示している。

即ち、このFIG. 18に示されるように、第1乃至3ラインではスキューはないが、第4乃至6ラインでは主走査方向のスキューが1、第7乃至9ラインでは主走査方向にスキューが2、第10乃至12ラインでは主走査方向のスキューが3、第13乃至15ラインでは主走査方向のスキューが4、第15乃至18ラインは主走査方向のスキューが5となっている。

そこで、FIG. 19に示されるように、入力副走査画像有効信号を6クロック分、遅延させる。そして、第4乃至6ラインは主走査方向画像有効信号を1クロック分、第7乃至9ラインは主走査方向画像有効信号を2クロック分、第10乃至12ラインは主走査方向画像有効信号を3クロック分、第13乃至15ラインは主走査方向画像有効信号を4クロック分、第15乃至18ラインは主走査方向画像有効信号を5クロック分、それぞれ遅延させる。

このように、平均化処理するライン毎に、遅延調整を行うことで、平均化演算のタイミングを全ラインで統一している。

同様に、FIG. 20は平均化マトリクスが $4 \times 3$ である場合の処理のイメージを示し、FIG. 21は当該処理のタイミングチャートを示している。

即ち、この例では、FIG. 20に示されるように、第4乃至6ラインでは主走査方向のスキューが1、第7乃至9ラインでは主走査方向にスキューが2、第10乃至12ラインでは主走査方向のスキューが3となっている。

そこで、FIG. 21に示されるように、入力副走査画像有効信号を6クロック分、遅延させる。そして、第4乃至6ラインについては主走査方向画像有効信号を1クロック分、第7乃至9ラインでは主走査方向画像有効信号を2クロック分、第10乃至12ラインでは主走査方向画像有効信号を3クロック分、それぞれ遅延させる。この場合も平均化処理するライン毎に遅延調整を行うことで、平均化演算のタイミングを全ラインで統一している。

尚、上記主走査方向画像有効信号は、平均化処理制御部3内の設定値カウンタ／モード生成部23で生成されるモード設定信号に応じて所定の遅延処理がなされた結果、生成されるものである。

ここで、平均化マトリクスとして複数の設定を可能とする為には、平均化マトリクスブロック生成／演算部 21 を複数設ける必要がある。

例えば、平均化マトリクスとして  $4 \times 3$ 、 $6 \times 3$  の 2 種類の設定を可能とする為には、FIG. 22 に示されるような構成が採用される。

この FIG. 22 の構成は、 $4 \times 3$  の平均化マトリクスに対応した平均化マトリクスブロック生成／演算回路 21a と、 $6 \times 3$  の平均化マトリクスに対応した平均化マトリクスブロック生成／演算回路 21b を設け、選択部 50 によりこれら出力のうちの一を平均化画像データ信号として出力するものである。

尚、各平均化マトリクスブロック生成／演算回路 21a、21b の詳細は FIG. 8 と基本的には同じである為、ここでは重複した説明は省略する。

以上の構成に換えて、本発明の実施形態では、FIG. 23 に示されるような平均化マトリクスブロック生成／演算回路 60 を採用可能としている。

即ち、加算器 63 では、現ライン画像データ信号に基づいて各画素の値を加算し、加算器 63-1 では、1 ライン遅延画像データ信号に基づいて各画素の値を加算する。同様に、加算器 63-2 では、2 ライン遅延画像データ信号に基づいて、各画素の値を加算する。このとき、モード設定信号により、平均化ブロックサイズが、 $6 \times 3$  又は  $4 \times 3$  のいずれかに選択される。つまり、FIG. 22 の構成のように、各平均化ブロックサイズに対応した複数の平均化マトリクスブロック生成／演算回路を設けることなく、一の回路で代替可能となる。

こうして得られた各加算値を加算器 64 にて更に加算し、乗算器 62 及び除算器 65 により平均化ブロック主走査サイズと平均化ブロック副走査サイズとを用いた演算を行い、平均化画像データ信号を生成するものである。

以上詳述したように、本発明の実施形態によれば以下の効果が奏される。

即ち、本発明の実施形態によれば、入力画像データ信号の平均化を開始する副走査位置、主走査位置を任意に設定することが可能である。つまり、平均化するブロックの位相を設定することが可能である。さらに、入力画像データ信号を平均化するブロックサイズは任意のサイズに設定することが可能である。

また、入力画像データ信号を平均化ブロックのスキューを設定することが可能であり、格子形状にも斜め形状にも平均化処理を施すことが可能である。

さらに、本発明の実施形態によれば、平均化ブロックのサイズに係らず平均化マトリクス生成／演算部を共用することができるので、回路規模を削減することが可能である。そして、平均化ブロックのスキューによらず、一定のタイミングで平均化演算処理を行うことが可能になる。この他、本発明の実施形態に係る平均化処理回路を複数使用することで、入力画像データの種類（写真、文字等）に応じた平均化処理が可能となることは勿論である。

Additional advantages and modifications will readily occur to those skilled in the art. Therefore, the invention in its broader aspects is not limited to the specific details and representative embodiments shown and described herein. Accordingly, various modifications may be made without departing from the spirit or scope of the general inventive concept as defined by the appended claims and their equivalents.